

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-294005

(43)Date of publication of application : 05.11.1996

(51)Int.Cl.

H04N 1/405
B41J 2/52

(21)Application number : 07-096790

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 21.04.1995

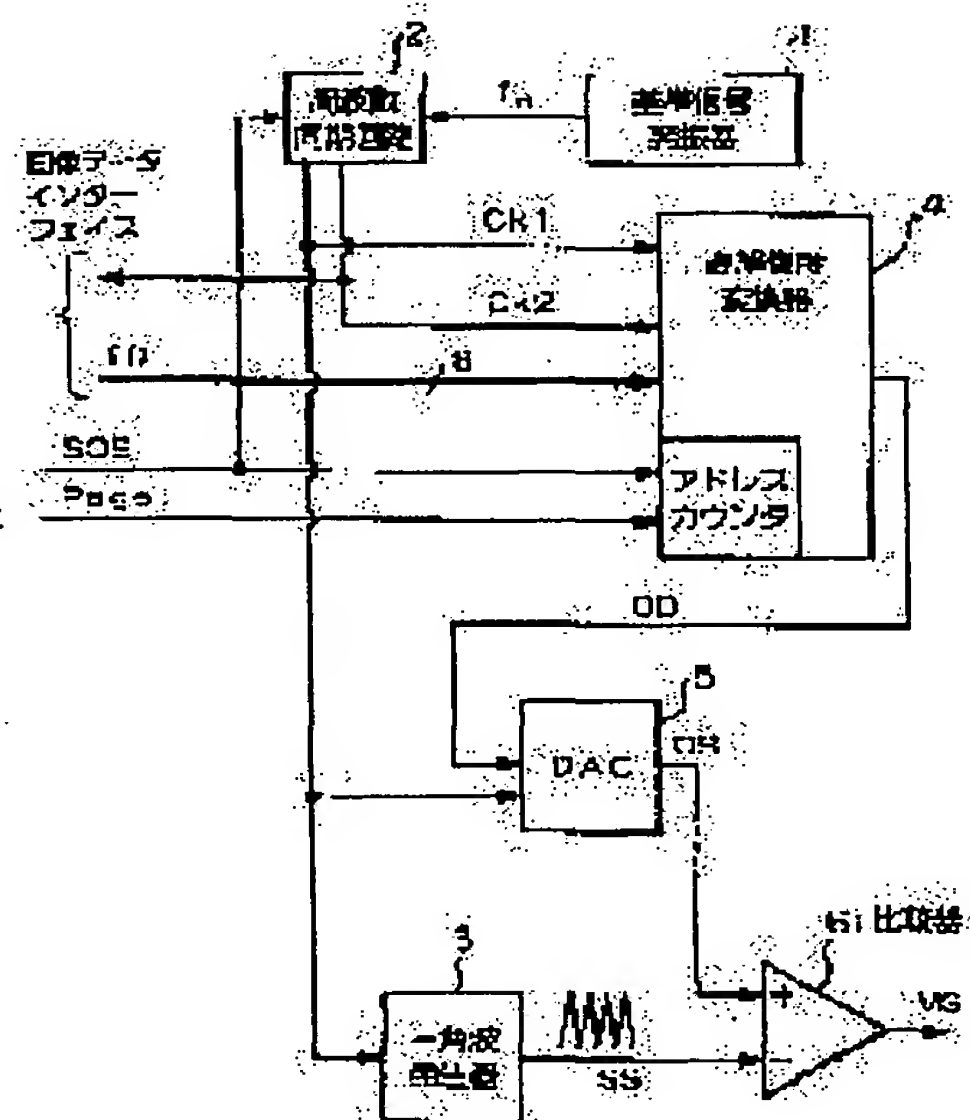
(72)Inventor : ISHII AKIRA
MORIYA HIDEKI

(54) IMAGE PROCESSING UNIT

(57)Abstract:

PURPOSE: To provide the image processing unit in which an image with a dot structure and a high dot density is allowed to generate in an image output which reproduces an intermediate tone image by the pulse width modulation system, and an output image close to a print image can be obtained.

CONSTITUTION: When image data ID in 16dpm is received synchronously with a 18MHz clock, a high resolution converter 4 applies high resolution processing to input image data on the basis of a 36MHz clock Ck1, applies weighting to image data of each picture element forming a picture element block corresponding to a dot structure and provides an output of the result as image data OD in 32dpm. The image data OD are converted into an analog signal OS by a D/A converter 5 and a comparator 6 compares the signal OS with a reference waveform signal SS in 32dpm to provide an output of a pulse width modulation signal MS.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

3
同期画像を再現する画像出力において、画素ブロック単位で網点を形成するなど入力画像の解像度を犠牲にすることなく、複合基準波形信号に対応した網点構造を得ることができる。

【0 0 1 0】
【実施例】以下、図面を参照して、この発明の実施例について説明する。

A：第 1 実施例
(1) 実施例の構成

図 1 はこの発明の第 1 実施例による画像処理装置の構成を示すブロック図である。なお、この画像処理装置は、1 6 d p m (d o t / m m) の解像度で 8 ビット階調の入力画像データに対し、レーザの一走査毎に信号処理を行うものである。

【0 0 1 1】図 1 において、S O S はレーザ走査の開始を示すタイミング信号であり、P a g e は 1 ページ分の画像の出力期間を示すタイミング信号である。基準信号発振器 1 は、3 6 M H z のクロック f o を発生し、これを周波数同期回路 2 へ供給する。周波数同期回路 2 は、基準信号発振器 1 から供給されるクロック f o を信号 S O S に同期させ、3 2 d p m 画像用のクロック C k 1 (3 6 M H z) と 1 6 d p m 画像用のクロック C k 2 (1 8 M H z) を出力する。

【0 0 1 2】高解像度変換器 4 は、図示しない前段の画像処理装置から画像データインタフェース (図示略) を介し供給される 1 6 d p m の画像データ (8 ビット階調) I D をクロック C k 2 と同期して取り込む。そして、高解像度変換器 4 は、入力画像データ I D を 3 2 d p m の解像度に変換するとともに、入力画素のアドレス情報 (後述する) に基づき網点構造に変調し、この結果を出力する。なお、この高解像度変換器 4 の詳細については後述する。

【0 0 1 3】また、D / A (デジタル / アナログ) 変換器 5 は、高解像度変換器 4 から出力されるデジタル画像データ O D をアナログビデオ信号 O S に変換し、この結果を出力する。また、三角波発生器 3 は、周波数同期回路 2 から出力される 3 2 d p m 画像用のクロック C k 1 に基づき、3 2 l p m (l i n e / m m) の基準波形信号 (例えば、三角波) S を発生する。さらに、比較器 6 は、D / A 変換器 5 から出力されるアナログビデオ信号 O S を三角波発生器 3 から出力される基準波形信号 S と比較することによりパルス幅変調し、3 2 l p m 同期のパルス列 M S を出力する。

【0 0 1 4】次に、図 2 および図 3 を参照し、高解像度変換器 4 の詳細を説明する。図 2 は高解像度変換器 4 の構成を示すブロック図である。この図に示すように、高解像度変換器 4 は、アドレスカウンタ 4 1、メモリ回路 4 2、4 3、ラッチ回路 4 4、4 5 およびセレクタ 4 6 から構成されている。

【0 0 1 5】また、図 3 は高解像度変換器 4 の動作を説

4
明するためのタイミングチャートである。この図において、アドレスカウンタ 4 1 は、図示しないラインカウンタと画素カウンタから構成されており、ラインカウンタは、信号 P a g e が H i g h レベルとなってからタイミ

ングパルス S O S のカウンタを開始し、タイミ

ングパルス S O S が入力される毎に、1、2、3、4、0、1、2 …… というサイクルでカウン

ト値 C N 2 を出力する。

【0 0 1 6】すなわち、これら 2 つのカウンタ出力 C N 1、C N 2 により 5 × 5 の画素ブロック内のアドレス (以下、画素ブロックアドレスという) A D が定まり、画素ブロックアドレスの第 2 桁はラインカウンタの値 C N 1、第 1 桁は画素カウンタの値 C N 2 によって定義される。また、第 2 桁と第 1 桁はそれぞれ 0 から 4 の 5 値をとるので、各々 3 ビットずつ合計 6 ビットで表現可能であるが、データ数は 5 × 5 = 2 5 通りであるので、5 ビットで表現される。

【0 0 1 7】また、メモリ回路 4 2、4 3 には、一画素を右画素と左画素に分割したときの左右の各画素に対応した入力データレベルが各々記憶されている。これら入力データレベルには、画素ブロックを周期とした網点構造を形成すべく、入力画像データ I D に対してその画素ブロックアドレス A D に応じた重み付けをした画像データの出力値が保持されている。

【0 0 1 8】すなわち、各メモリ回路 4 2、4 3 に 5 ビットの画素ブロックアドレス A D と 8 ビットの画像データ I D が入力されると、互いに異なる重み付けがなされた左画素と右画素の画像データ L D、R D がメモリ回路 4 2、4 3 から各々読み出される。そして、これら左右二画素の画像データ L D、R D は、各々 1 6 d p m 画像用のクロック C k 2 と同期してラッチ回路 4 4、4 5 に一旦保持された後、セレクタ 4 6 によって 3 2 d p m 画像用のクロック C k 1 (上記クロック C k 2 と同期する 2 倍の周波数のクロック) と同期して交互に選択され、2 倍に高解像度化された網点構造の画像データ O D とし

て出力される。

【0 0 1 9】(2) 実施例の全体動作
次に、図 4 を参照し、この実施例の全体動作を説明する。図 4 はこの実施例の全体動作を説明するためのタイミングチャートである。この図において、クロック C k 2 とともに 1 6 d p m の画像データ I D (例えば、値「1 0 0 1」) が入力されると、高解像度変換器 4 は、クロック C k 1 に基づき、入力画素を左右 2 画素に分割し (すなわち、主走査方向に高解像度化し)、各々の画素に対して網点構造に対応した異なる重み付けをした後、

3 2 d p m の画像データ O D を出力する。そして、この

5
出力画像データ O D は、D / A 変換器 5 によってアナログ信号 O S に変換された後、比較器 6 において 3 2 l p m の基準波形信号 S と比較され、パルス幅変調信号 M S として出力される。

【0 0 2 0】このように、本実施例においては、例えば図 5 に示すような十字型の網点構造を形成する場合に、十字の中央部で画像データを大きな値とし、十字の周辺部で小さな値となるよう左右画素に対して重み付けをすることができ

るので、図 6 に示すような画像構造を得ることができる (ただし、図示の中間調は一画素内のドット幅を模式的に表したものである)。この画像構造は、印刷網点の表現によれば 1 8 2 線、6 3、4 ° の網点となり、一般の高級印刷に相当する画像構造となる。

【0 0 2 1】B：第 2 実施例
次に、この発明の第 2 実施例について説明する。

(1) 実施例の構成

図 7 はこの発明の第 2 実施例による画像処理装置の構成を示すブロック図である。この図において、3 1 は画像信号入力部であり、入力画像を多値のデジタル画像データ I D として D / A 変換器 3 5 へ出力する。D / A 変換器 3 5 は、画像信号入力部 3 1 から画素クロック信号 C k に同期して供給される画像データ I D をアナログ信号 A S に変換し、これを比較器 3 3 へ出力する。

【0 0 2 2】3 2 は複合信号発生部であり、画素クロック信号 C k に基づきデューティ比の異なるパルス信号を生成し、これらを複合した複合信号 M P を出力する。また、3 4 は位相制御部であり、入力画像の 1 ライン毎に供給される走査開始信号 S C に応じ、複合信号発生部 3 2 から出力される複合信号 M P の位相を制御する。さらに、3 6 は三角波変換回路であり、位相制御部 3 4 によって位相を制御された複合信号 M P ′ を三角波 (以下、複合三角波信号という) T S に変換し、これを比較器 3 3 へ出力する。

【0 0 2 3】比較器 3 3 は、D / A 変換器 3 5 から出力されるアナログ信号 A S を三角波変換回路 3 6 から出力される複合三角波信号 T S と比較することによりパルス幅変調し、得られるパルス幅変調信号 O S を出力する。【0 0 2 4】次に、図 8 および図 9 を参照し、複合信号発生部 3 2 の詳細を説明する。図 8 は複合信号発生部 3 2 の構成を示すブロック図である。この図において、複合信号発生部 3 2 は、分周回路 6 1 a、6 1 b と合成回路 6 2 a、6 2 b から構成されており、画素クロック信号 C k を異なるデューティ比で分周した信号を合成することにより複合信号 M P を生成する。

【0 0 2 5】すなわち図 9 に示すように、分周回路 6 1 a は、画素クロック信号 C k をデューティ比 1 : 7 で 4 分周した信号 P 1 を出力する。一方、分周回路 6 1 b は、画素クロック信号 C k をデューティ比 1 : 1 で 4 分周した信号 P 2 を出力する。そして、合成回路 6 2 a は、上記信号 P 1、P 2 の O R をとることにより複合信

号 M P を生成する。また、合成回路 6 2 b は、上記信号 P 1、P 2 に基づき、三角波変換部 3 6 へ供給すべき容量選択信号 C S 1、C S 2 を生成する。

【0 0 2 6】次に、図 1 0 を参照し、位相制御部 3 4 の詳細を説明する。図 1 0 に示すように、位相制御部 3 4 は、多段接続された複数の遅延回路 7 1 a ~ 7 1 e と、各段の遅延回路の出力を走査開始信号 S C に応じて選択的に出力する選択回路 7 2 によって構成されている。そして、1 つの遅延回路による遅延を 2 画素分とし、走査ライン毎に、遅延回路 7 1 a の出力、遅延回路 7 2 b の出力、遅延回路 7 2 c の出力、…… というように各遅延回路 7 1 a ~ 7 1 e の出力を選択回路 7 2 によって順次選択することにより、1 ライン毎に位相が 2 画素分シフトした複合信号 M P ′ を出力する。

【0 0 2 7】次に、図 1 1 および図 1 2 を参照し、三角波変換回路 3 6 の詳細を説明する。図 1 1 に示すように、三角波変換回路 3 6 は、複合信号 M P ′ の各成分に対応した波形をもつ三角波を生成すべく、コンデンサ C 1 ~ C 3 かなる 3 つの積分回路によって構成され、このうちコンデンサ C 2、C 3 に対応する積分回路は、前述の容量選択信号 C S 1、C S 2 によってオンオフ制御され、複合信号 M P ′ の区間に対応して合成容量が切り替わるようになっている。例えば図 1 2 に示すように、2 つの容量選択信号 C S 1、C S 2 によって、複合信号 M P ′ の区間 A ではコンデンサ C 1、区間 B ではコンデンサ C 1 + C 2、区間 C ではコンデンサ C 1 + C 3 による合成容量がそれぞれ与えられ、各々の区間における合成容量に対応した波形を有する複合三角波信号 T S が生成される。

【0 0 2 8】(2) 実施例の全体動作

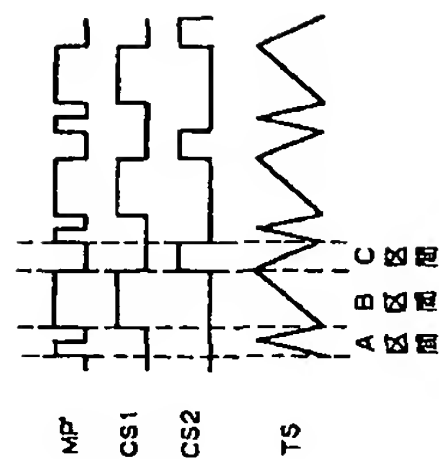
次に、図 1 3 および図 1 4 を参照し、この実施例の全体動作を説明する。図 1 3 に示すように、複合信号発生部 3 2 が画素クロック信号 C k に基づき複合信号 M P を生成すると、三角波変換回路 3 6 は、この複合信号 M P に対応した複合三角波信号 T S を生成する。この複合三角波信号 T S によって入力画像信号 A S がパルス幅変調され、1 ラインのドットパターン O S が生成される。また、複合信号 M P の位相は、位相制御部 3 4 によって一定周期でライン毎に 2 画素分遅延されることから、結果的に図 1 4 に示すような網点画像が得られる。この図に示す画像構造は、印刷網点の表現によれば 1 7 9 線、6 3 ° となる。

【0 0 2 9】また、例えば図 1 5 に示すように、複合信号発生部 3 2 が 2 種類の複合信号 M P 1、M P 2 を 1 ラインおきに交互に切り替えて生成するようにすれば、複合三角波信号 T S 1、T S 2 に基づき、2 種類のドットパターン O S 1、O S 2 が交互に得られ、結果として図 1 6 に示すような網点画像が得られる。

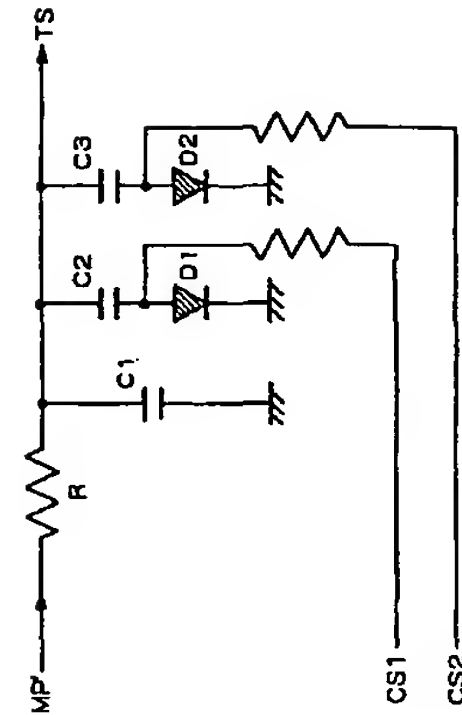
【0 0 3 0】C：変更例

(1) 既述した 2 つの実施例では、基準波形信号として

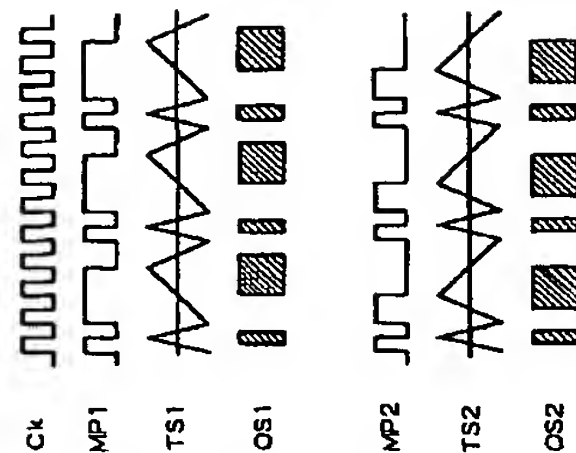
【図 12】



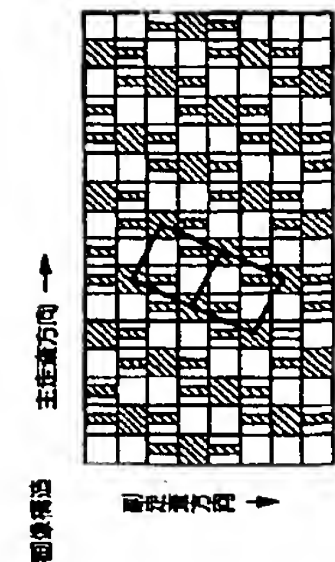
【図 11】



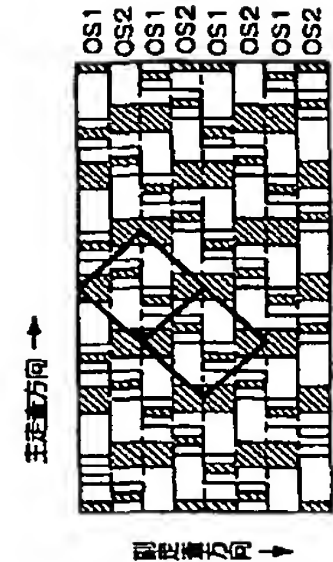
【図 15】



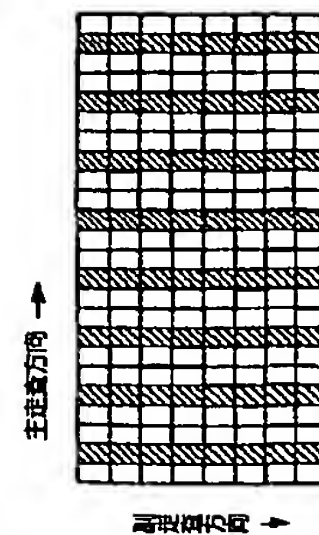
【図 14】



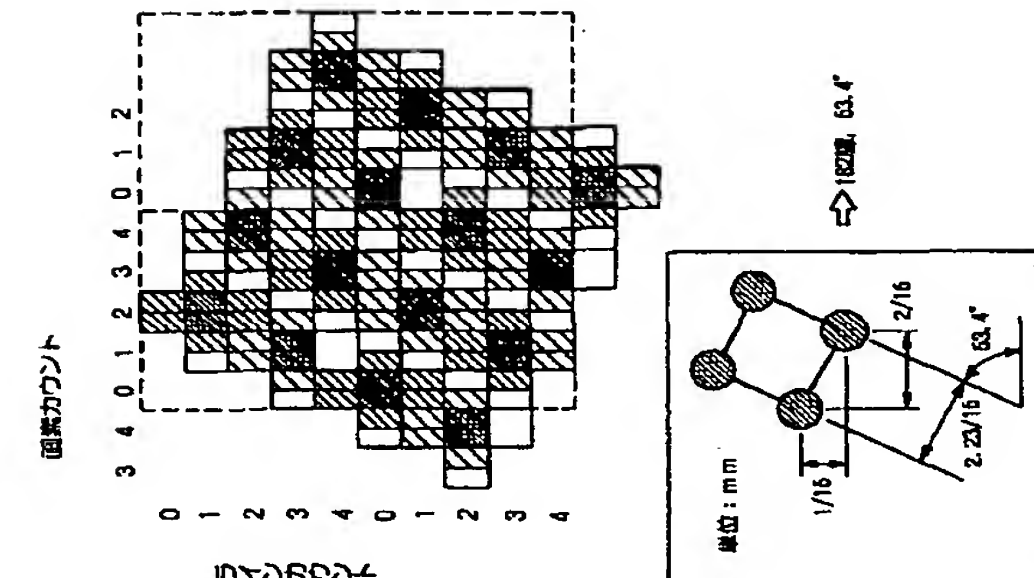
【図 16】



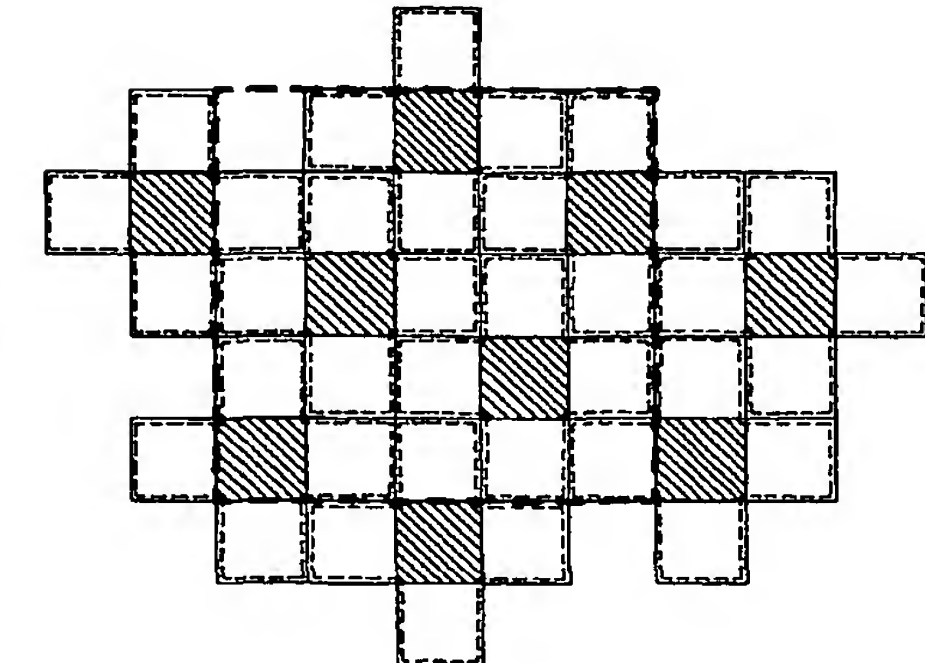
【図 17】



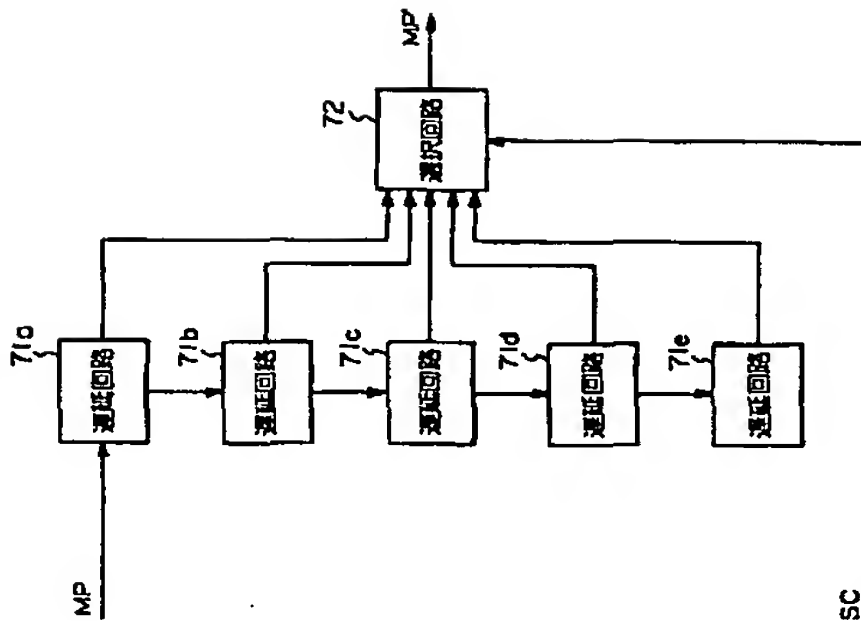
【図 6】



【図 5】



【図 10】



【図 7】

